

# Desain Antarmuka dan Analisisnya

## TSK304 - Teknik Interface dan Peripheral

Eko Didik Widianto

Teknik Sistem Komputer - Universitas Diponegoro

- ▶ Sebelumnya, dibahas tentang antarmuka bus CPU dan diagram pewaktuan
  - ▶ operasi pembacaan dan penulisan
  - ▶ ruang alamat dan dekoding
  - ▶ pemetaan alamat
- ▶ Pembahasan tentang:
  - ▶ proses desain sistem mikrokomputer: antarmuka RAM dan I/O
  - ▶ proses analisis (pewaktuan) untuk memenuhi spesifikasi
- ▶ Referensi:
  - ▶ Ken Arnold, "Embedded Controller Hardware Design", Bab 7, 2000

Materi ini dapat didownload di:

<http://didik.blog.undip.ac.id/2011/09/11/tsk-304-teknik-interface-dan-peripheral-2011/>

## Central Processing Unit (CPU)

Intel 8031

Siklus Memori Eksternal

Antarmuka CPU-Memori

## Spesifikasi dan Pre-Analysis Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Relibilitas Sinyal

# Desain Intel Mikrokontroler 8031

ROM-less MCS51

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

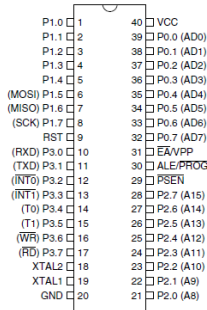
Central Processing  
Unit (CPU)

Intel 8031

Siklus Memori Eksternal  
Antarmuka CPU-Memori

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

- ▶ Arsitektur Harvard: bus data dan alamat termultipleks (**P0**)
- ▶ Terdapat 3 ruang alamat:
  1. RAM internal
  2. RAM eksternal (R/W)
  3. ROM program eksternal (RO)
- ▶ RAM dan ROM eksternal diakses dengan 3 siklus memori: program read, data read dan data write



## Mutually Exclusive Siklus

@2011,Eko Didik  
Widianto

Intel 8031

### Siklus Memori Eksternal

## Spesifikasi dan Pre-Analisis Pewaktuan

- ▶ Dilakukan saat sinyal  $\overline{nPSEN}$  aktif
- ▶ Sinyal dapat dihubungkan langsung ke  $\overline{nEN}$  ROM Program (enable)

- ▶ Dilakukan saat sinyal  $\overline{nRD}$  aktif
- ▶ Sinyal dapat dihubungkan langsung ke  $\overline{nOE}$  ROM Program (output enable)

- ▶ Dilakukan saat sinyal  $\overline{nWR}$  aktif
- ▶ Sinyal dapat dihubungkan langsung ke  $\overline{nWE}$  ROM Program (write enable)

# Desain Antarmuka CPU-Memori

Prosesor, Latch 74373, EPROM, SRAM

Desain Antarmuka  
dan Analisisnya

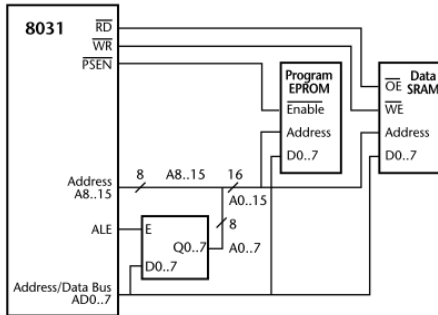
@2011, Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Intel 8031

Siklus Memori Eksternal  
Antarmuka CPU-Memori

Spesifikasi dan  
Pre-Analysis  
Pewaktuan



- ▶ Latch 74373 untuk mengambil alamat dari  $AD[7..0]$  saat  $ALE$  aktif

## Pemilihan Memori

## Desain Antarmuka dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing Unit (CPU)

## Spesifikasi dan Pre-Analisis Pewaktuan

### Analisis Pewaktuan

## Analisis Siklus Program

### Analisis Siklus Data Read

### Analisis Siklus Data Write

Relibilitas Sinyal

- ▶ EPROM: menyimpan program (*non-volatile*)
  - ▶ Misalnya: 32Kx8 UV-erasable EPROM
- ▶ SRAM: menyimpan data (*volatile*)
  - ▶ Misalnya: 32Kx8 CMOS static RAM

Karena hanya satu memori untuk tiap tipe (data/program), tidak diperlukan dekoder alamat. Bagaimana kalau menggunakan 2 buah 32Kx8 RAM?

eter device yang dig  
n '373  
atasheet  
asi perubahan yang  
an waktu akses mem  
puan waktu akses me  
pulsa siny kontrol

- ▶ Berdasarkan parameter device yang digunakan (EPROM, SRAM dan '373
  - ▶ Diperoleh dari datasheet
- ▶ Untuk mengidentifikasi perubahan yang mungkin diperlukan di desain
  - ▶ Evaluasi kebutuhan waktu akses memori CPU terhadap kemampuan waktu akses memori maksimum, lebar pulsa sinyal kontrol



# Siklus Instruction Fetch

## Program Memory Read

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

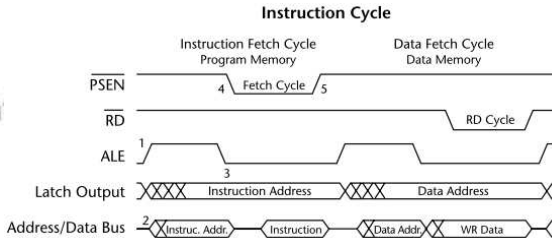
Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal



# Jalur Propagasi

## Menentukan Waktu Akses

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

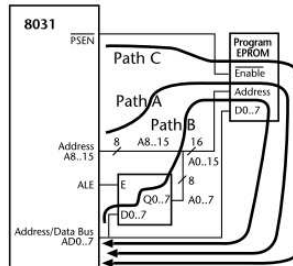
Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

- Valid address A8..15 on Port 2, EPROM address access time
- Valid address on port 0, D to Q delay through the latch, and EPROM address access
- $\overline{\text{PSEN}}$  active, EPROM enable access time



# Analisis Waktu Akses

## Diagram Pewaktuan 8031

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

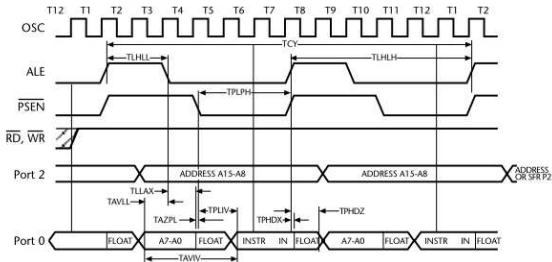
Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal



# Analisis Waktu Akses

Parameter 8031

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

Symbol	Parameter	12 MHz Clock			Variable Clock 1/TCLCL = 1.2 to 12 MHz		
		min	max	units	min	max	units
TCLCL	Oscillator Period	83		nS	83	833	nS
TCY	Minimum Instruction Time	1.0		uS	12TCLCL		nS
TLHL	ALE Pulse Width	140		nS	2TCLCL-30		nS
TAVLL	Address Set Up to ALE	60		nS	TCLCL-25		nS
TLLAX	Address Hold After ALE	50		nS	TCLCL-35		nS
TPLPH	/PSEN Width	230		nS	3TCLCL-20		nS
TLHLH	/PSEN, ALE Cycle Time	500		nS	6TCLCL		nS
TPLIV	/PSEN to Valid Data In		150	nS		3TCLCL-100	nS
TPHDX	Input Data Hold After /PSEN	0		nS	0		nS
TPHDZ	Input Data Float After /PSEN		75	nS		TCLCL-10	nS
TAVIV	Address to Valid Data In		320	nS		5TCLCL-100	nS
TAZPL	Address Float to /PSEN	0		nS	0		nS

**NOTE:** Test Conditions T=0-70°C, Vcc= 5V±5%  
All Other Outputs: C<sub>L</sub> = 80 pF

Port 0, ALE and /PSEN Outputs: C<sub>L</sub> = 150 pF

# Analisis Waktu Akses

## Diagram Pewaktuan dan Parameter EPROM

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

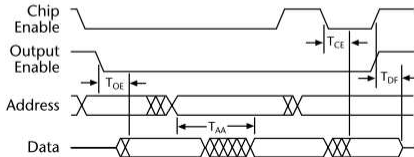
Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

Parameter	Symbol	Test Conditions	-15		-20		-25		-30		Units
			min	max	min	max	min	max	min	max	
Address access	$t_{AA}$	$/CE=OE=V_{IL}$		170		200		250		300	nS
$/CE$ access	$t_{CE}$	$/OE=V_{IL}$		170		200		250		300	nS
$/OE$ access	$t_{OE}$	$/CE=V_{IL}$	10	60	10	70	10	100	10	120	nS
Output disable	$t_{DF}$	$/CE=V_{IL}$	0	50	0	50	0	60	0	105	nS



# Analisis Waktu Akses

Parameter 74LS373 Latch

Parameter	From (input)	To (output)	min	max	Unit
$t_{PLH}$	D	Q	2	12	nS
$t_{PHL}$	D	Q	4	16	nS
$t_{PLH}$	E	Any Q	6	22	nS
$t_{PHL}$	E	Any Q	7	23	nS
$t_{PZH}$	/OC	Any Q	6	18	nS
$t_{PZL}$	/OC	Any Q	5	20	nS
$t_{PHZ}$	/OC	Any Q	2	10	nS
$t_{PLZ}$	/OC	Any Q	2	12	nS

- ▶ Latch melewatkan masukan D ke keluaran Q (setelah delay propagasi) selama  $\overline{nEN}$  aktif ( $D \rightarrow Q$ )
- ▶ Asimetrik:  $t_{PLH} = 12ns$   $t_{PHL} = 16ns$

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path A: Alamat Valid A[15..8]

- ▶ Delay dari saat CPU menyediakan alamat valid A[15..8] di P2 sampai akhir waktu akses alamat EPROM
  - ▶ Yang menghasilkan data valid dari EPROM di bus data
- ▶ CPU memerlukan data dari EPROM tersedia 320ns (TAVIV) setelah memberikan alamat valid
- ▶ Versi -30 EPROM mempunyai waktu akses alamat 300ns max (tAA)
- ▶ Sehingga terdapat margin 20ns
  - ▶  $TAVIV - tAA = 320ns - 300ns = 20ns$  (margin)

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path A: Alamat Valid A[15..8]

- ▶ Dari timing 8031, ALE high sebelum alamat valid
  - ▶ Delay jalur ALE:  $TLHLL - TAVLL = 140 - 60 = 80\text{ns}$
- ▶ Dari timing latch. Latch enable dalam 23ns
  - ▶ 23ns setelah ALE, latch akan melewati apapun inputnya
  - ▶ Tapi alamat belum disediakan oleh CPU. Jadi sebelum data ada, latch sudah siap
- ▶ delay ALE tidak kritis, sehingga sering diabaikan
  - ▶ Untuk mikrokontroler highspeed, delay ALE ini perlu diperhatikan

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal



# Analisis Waktu Akses

Path B: Alamat Valid A[7..0]

- ▶ Delay dari saat CPU menyediakan alamat valid A[7..0] di P0 ditambah delay  $D \rightarrow Q$  latch dan waktu akses EPROM, sampai data valid tersedia di bus
- ▶ CPU memerlukan data dari EPROM tersedia 320ns (TAVIV) setelah memberikan alamat valid.
- ▶ Dibandingkan dengan delay latch dan waktu akses EPROM
  - ▶ Delay  $D \rightarrow Q$  (worst,  $t_{PHL}$ ): 16ns
  - ▶ Delay EPROM ( $t_{AA}$ ): 300ns
- ▶ Sehingga hanya terdapat margin 4ns
  - ▶  $TAVIV - t_{AA} - t_{PHL} = (320 - 300 - 16)ns = 4ns$  (margin)
  - ▶ Masih dapat diterima selama load kapasitansi masih di bawah test load. Jika tidak, kecepatan maksimal CPU 12MHz perlu diturunkan

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path C: Instruction Output/PSEN

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

- ▶ Delay dari saat CPU mengaktifkan memori program ( $\overline{nPSEN}$ ) sampai keluaran instruksi tersedia di bus
  - ▶ Aktivasi  $\overline{nPSEN}$  akan mengaktifkan  $\overline{nCE}$
- ▶ Waktu maksimal data/instruksi harus tersedia di bus yang dibutuhkan oleh CPU adalah TPLIV, 150ns
  - ▶ Waktu dari  $\overline{nPSEN}$  turun (aktif) sampai instruksi valid tersedia di bus
- ▶ Dibandingkan waktu akses EPROM saat  $\overline{nCE}$  diaktifkan
  - ▶  $TPLIV - t_{CE} = (150 - 300)ns = -150ns$  (margin NEGATIF)
  - ▶ Berarti saat  $\overline{nPSEN}$  dihubungkan langsung ke  $\overline{nCE}$ , EPROM terlalu lambat



### Dari Solusi #3: Optimasi

@2011,Eko Didik  
Widianto

Central Processing Unit (CPU)

## Spesifikasi dan Pre-Analisis Pewaktuan

### Analisis Pewaktuan

## Analisis Siklus Program

### Analisis Siklus Data Read

### Analisis Siklus Data Write

## Reliabilitas Sinyal

1. EPROM selalu aktif, karena nCE dihubungkan ke GND
  - ▶ hanya satu chip EPROM yang bisa digunakan
  - ▶ EPROM menggunakan daya operasi maksimum secara konstan
2. Penggunaan nCE untuk mengaktifkan device akan mengurangi konsumsi daya, yang sangat penting di aplikasi yang menggunakan baterai
  - ▶ Khususnya kalau aplikasi dengan multiple device
  - ▶ Memungkinkan multiple chip
  - ▶ Hanya satu chip yang menggunakan daya dalam satu waktu (di atur oleh dekoder)

# Wait States

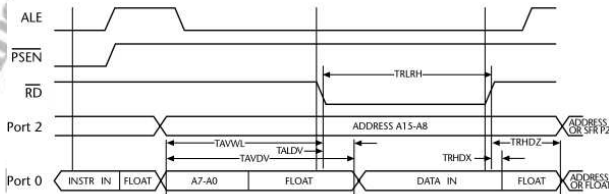
- ▶ Solusi lainnya yang disediakan oleh mikrokontrolle high-speed adalah penggunaan “wait state” yang menambah waktu siklus memori dengan satu atau siklus clock lagi
  - ▶ Untuk mengakomodasi memori yang lambat
  - ▶ Misalnya Dallas Semiconductor: 80C320
  - ▶ Tidak ada di 8051 standar

## Reliabilitas Sinyal

- ◀ ◻ ▶ ◀ ◻ ▶ ◀ ≡ ▶ ◀ ≡ ▶ ≡ ↺ 🔍 ↻

# Siklus Data Read

## Diagram Pewaktuan dan Parameter 8031



Symbol	Parameter	12 MHz Clock			Variable Clock 1/TCLCL = 1.2 to 12 MHz		
		min	max	units	min	max	units
TRLRH	/RD Pulse Width	400		nS	6TCLCL-100		nS
TWLWH	/WR Pulse Width	400		nS	6TCLCL-100		nS
TRLDV	/RD To Valid Data In		250	nS		5TCLCL-170	nS
TRHDX	Data Hold After /RD	0		nS	0		nS
TRHDZ	Data Float After /RD		100	nS		2TCLCL-70	nS
TAVDV	Address to Valid Data In		600	nS		9TCLCL-150	nS
TAVWL	Address to /WR or /RD	200		nS	4TCLCL-130		nS
TQVWH	Data Setup Before /WR	400		nS	7TCLCL-180		nS
TWHQX	Data Held After /WR	80		nS	2TCLCL-90		nS

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

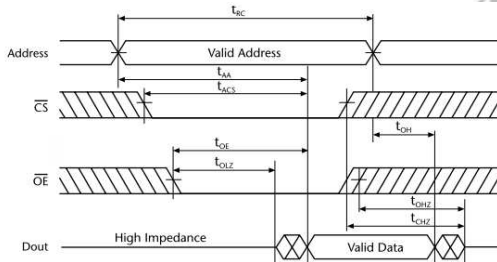
Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan  
Analisis Siklus Program  
Read

Analisis Siklus Data Read  
Analisis Siklus Data Write  
Reliabilitas Sinyal

# Siklus Data Read

## Diagram Pewaktuan RAM



Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan  
Analisis Siklus Program  
Read

Analisis Siklus Data Read  
Analisis Siklus Data Write  
Reliabilitas Sinyal

# Siklus Data Read

## Parameter RAM

Parameter	Symbol	-8 min	max	-10 min	max	-12 min	max	-15 min	max	Units
Read Cycle	$t_{RC}$	85		100		120		150		nS
Address access	$t_{AA}$		85		100		120		150	nS
/CS access	$t_{ACS}$		85		100		120		150	nS
/OE to Output Valid	$t_{OE}$		45		50		60		70	nS
Output hold from addr	$t_{OH}$	5		10		10		10		nS
/CS to output enable(low Z)	$t_{CLZ}$	10		10		10		10		nS
/OE to output enable(low Z)	$t_{OLZ}$	5		5		5		5		nS
/CS hi to out disable(hi Z)	$t_{CHZ}$	0	30	0	35	0	40	0	50	nS
/OE hi to out disable(hi Z)	$t_{OHZ}$	0	30	0	35	0	40	0	50	nS

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal



# Analisis Waktu Akses

Path A: Alamat Valid A[15..8]

- ▶ Delay dari saat CPU menyediakan alamat valid A[15..8] di P2 sampai akhir waktu akses alamat SRAM
  - ▶ Yang menghasilkan data valid dari SRAM di bus data
- ▶ CPU memerlukan data dari SRAM tersedia dalam waktu 600ns (TAVDV) setelah memberikan alamat valid
- ▶ Versi -15 SRAM mempunyai waktu akses alamat 150ns max (tAA)
- ▶ Sehingga terdapat margin 450ns
  - ▶  $TAVDV - tAA = 600ns - 150ns = 450ns$  (margin)

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path B: Alamat Valid A[7..0]

- ▶ Delay dari saat CPU menyediakan alamat valid A[7..0] di P0 ditambah delay  $D \rightarrow Q$  latch dan waktu akses SRAM, sampai data valid tersedia di bus
- ▶ CPU memerlukan data dari SRAM tersedia 600ns (TAVDV) setelah memberikan alamat valid.
- ▶ Dibandingkan dengan delay latch dan waktu akses EPROM
  - ▶ Delay  $D \rightarrow Q$  (worst,  $t_{PHL}$ ): 16ns
  - ▶ Delay SRAM ( $t_{AA}$ ): 150ns
- ▶ Sehingga hanya terdapat margin 4ns
  - ▶  $TAVDV - t_{AA} - t_{PHL} = (600 - 150 - 16)ns = 434ns$  (margin)
  - ▶ Masih memenuhi kebutuhan

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path C: Data Tersedia Di Bus Setelah  $\overline{nRD}$

- ▶ Delay dari saat CPU mengaktifkan memori data read ( $\overline{nRD}$ ) sampai keluaran data valid tersedia di bus
  - ▶ Aktivasi  $\overline{nRD}$  akan mengaktifkan  $\overline{nOE}$
- ▶ Waktu maksimal data/instruksi harus tersedia di bus yang dibutuhkan oleh CPU adalah TRLDV, 250ns
  - ▶ Waktu dari  $\overline{nRD}$  turun (aktif) sampai data valid tersedia di bus
- ▶ Dibandingkan waktu akses SRAM (-15) saat  $\overline{nRD}$  diaktifkan
  - ▶  $TRLDV - t_{RD} = (250 - 70)ns = 180ns$  (margin)

Desain Antarmuka  
dan Analisisnya

@2011, Eko Didik  
Widianto

Central Processing  
Unit (CPU)

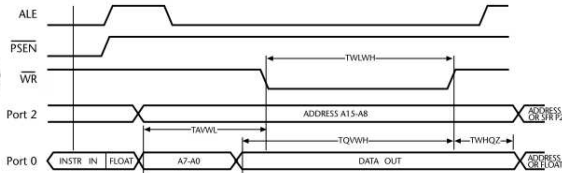
Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan  
Analisis Siklus Program  
Read

Analisis Siklus Data Read  
Analisis Siklus Data Write  
Reliabilitas Sinyal

# Siklus Data Write

## Diagram Pewaktuan 8051



Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

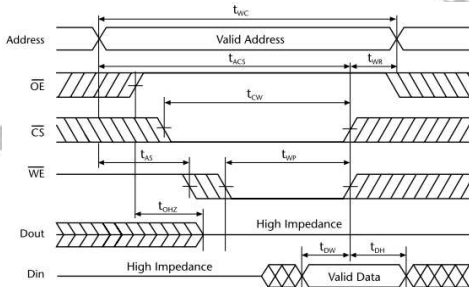
Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Siklus Data Write

## Diagram Pewaktuan RAM



Desain Antarmuka  
dan Analisisnya

@2011, Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan  
Analisis Siklus Program  
Read  
Analisis Siklus Data Read  
Analisis Siklus Data Write  
Reliabilitas Sinyal

# Siklus Data Write

## Parameter RAM

Parameter	Symbol	-8 min	max	-10 min	max	-12 min	max	-15 min	max	Units
Write Cycle	$t_{WC}$	85		100		120		150		nS
Chip Select to end of write	$t_{CW}$	75		80		85		100		nS
Addr valid to end of write	$t_{AW}$	75		80		85		100		nS
Address setup time	$t_{AS}$	0		0		0		0		nS
Write Pulse width	$t_{WP}$	60		60		70		90		nS
Write recovery time	$t_{WR}$	10		0		0		0		nS
Write to output in high Z	$t_{WHZ}$	0	30	0	35	0	40	0	50	nS
Data to Write time overlap	$t_{DW}$	40		40		50		60		nS
Data hold from write time	$t_{DH}$	0		0		0		0		nS
Output disable to out in highZ	$t_{OHZ}$	0	30	0	35	0	40	0	50	nS
Output active from end of WR	$t_{OW}$	5		5		5		5		nS

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

# Analisis Waktu Akses

Path C: Data Tertulis di RAM Setelah  $\overline{nWR}$

- ▶ Dari spesifikasi CPU
  - ▶ Alamat valid tersedia sebelum  $\overline{nWR}$  transisi turun:  $TAVWL = 200ns$
  - ▶ Data valid tersedia sebelum  $\overline{nWR}$  transisi naik:  $TQVWL = 400ns$
- ▶ Dari RAM
  - ▶ Waktu setup alamat sebelum  $\overline{nWR}$  adalah  $t_{AS} = 0ns$  (masih dalam  $TAVWL = 200ns$ )
  - ▶ Waktu setup data yang diperlukan sebelum pulsa  $nWE$  adalah  $t_{DW} = 60ns$  (masih dalam jangkauan  $DQVWH = 400ns$ )
  - ▶ Delay latch diabaikan ( $t_{PHL} = 16ns$ ) karena tidak signifikan dibandingkan dengan margin yang tersedia
- ▶ RAM  $\overline{nCE}$  dihubungkan ke GND, sehingga waktu akses SEL ( $t_{CW}$ ) tidak perlu diperhitungkan
- ▶ Lebar pulsa  $nWR$  minimum CPU adalah  $TWLWH = 400ns$ , RAM hanya memerlukan minimum  $t_{WP} = 90ns$ , sehingga memenuhi spek
- ▶ CPU menyediakan  $TWHQX = 80ns$ , sedangkan RAM hanya membutuhkan  $t_{DH} = 0$ , sehingga waktu hold RAM juga memenuhi spek

Desain Antarmuka  
dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing  
Unit (CPU)

Spesifikasi dan  
Pre-Analysis  
Pewaktuan

Analisis Pewaktuan

Analisis Siklus Program  
Read

Analisis Siklus Data Read

Analisis Siklus Data Write

Reliabilitas Sinyal

## Analisis Penuh

# Desain Antarmuka dan Analisisnya

@2011,Eko Didik  
Widianto

Central Processing Unit (CPU)

## Spesifikasi dan Pre-Analisis Pewaktuan

## Analisis Pewaktuan

## Analisis Siklus Program Read

### Analisis Siklus Data Read

### Analisis Siklus Data Write

## Reliabilitas Sinyal

- ▶ Dilakukan setelah pre-analisis pewartuan
  - ▶ Untuk mengevaluasi margin noise, loading AC dan DC
    - ▶ Hasilnya: menentukan apakah sinyal tidak kompatibel/overloaded, sehingga memerlukan perubahan desain rangkaian atau pemilihan komponen
      - ▶ Perubahan desain akan memerlukan reevaluasi pewartuan
        - ▶ Iteratif
- ▶ Setelah pre-analisis, analisis noise margin dan loading selesai yang mengindikasikan desain telah sesuai, perlu review semua spesifikasi lainnya untuk semua chip yang digunakan dalam desain